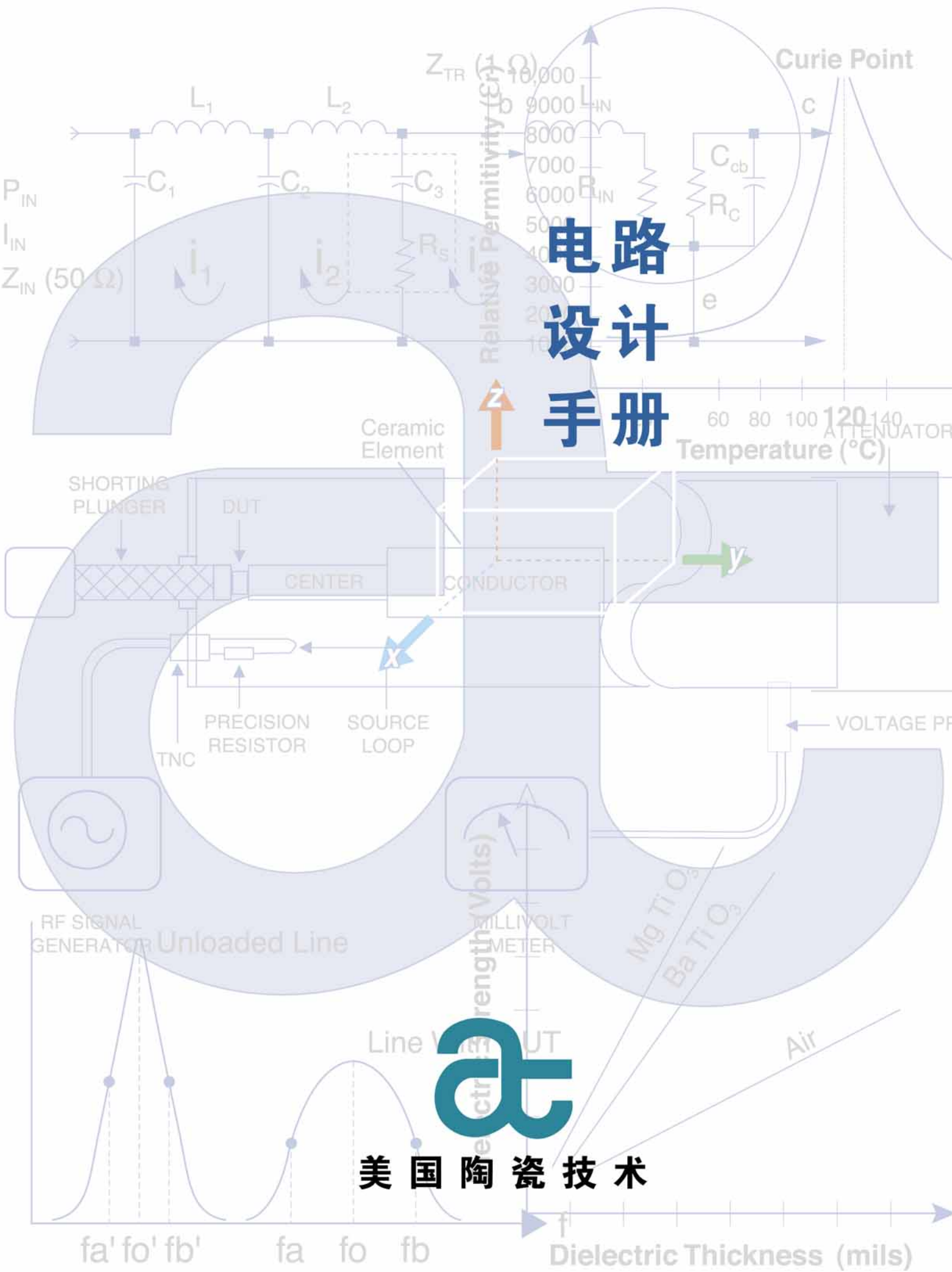


电路设计手册



美国陶瓷技术

电路设计手册

目录

电容介质性质	1
等效串联电阻损耗的有关因素	2
电容等效串联电阻ESR测量方法	3
电容温度系数简述.....	4
绝缘电阻简述	5
介质老化现象	6
陶瓷电容压电效应	7
有效容值和频率的关系	8
耦合与隔直电路中的电容.....	9
旁路线路中的电容.....	10
用于阻抗匹配的高Q电容.....	11

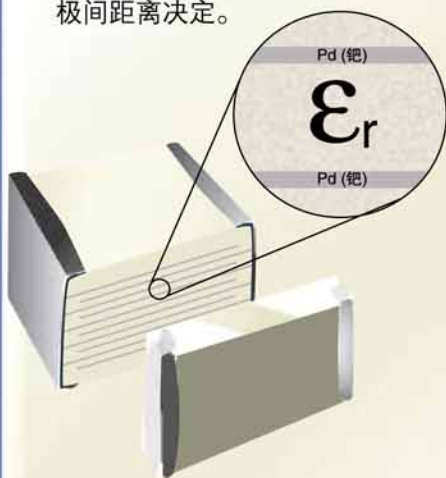
电路设计手册

电容介质性质

陶瓷片式电容工作特性在很大程度上由介质材料决定。因此，介质材料的成分要根据电容的具体性能需要来选择。下面是有关介质设计参数的定义。

介质常数：也叫相对介电常数 (ϵ_r)，这个介质性质决定电容极板间有介质时和无介质（也就是真空）时储存的静电能数量之比。多层电容中介质常数和容值的关系按下式计算： $C = \epsilon_r(n-1) A/d$ ，这里 ϵ_r 是介质常数， n 是电极个数， A 是实际电极面积（与相邻电极重叠部分）， d 是介质厚度。

介质强度：介质能安全承受的电压值。主要由介质组成成分和电极间距离决定。

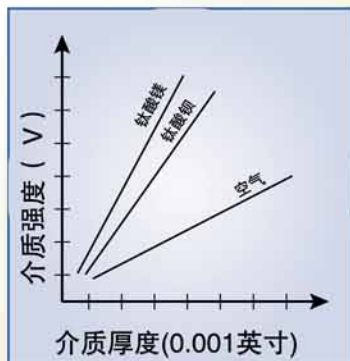


陶瓷电容中电压梯度过高将导致介质失去绝缘性质，引起电容突然失效。工作温度，湿度和气压以及电容终端之间相隔的距离这类环境条件影响介质电压击穿特性。

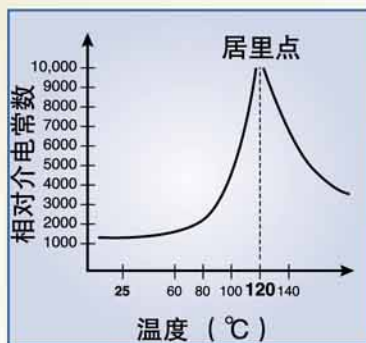
内部击穿：加于电容的电压超过介质强度时电容内部损坏，通常使电容短路。

外部击穿：加于电容的电压超过电容两终端之间外壳表面区域所能承受值而产生的击穿。

介质厚度：陶瓷经焙烧到达其最终状态后，两个相邻内部电极之间的距离。这个参数是确定额定电压和并联谐振频率特性的主要因素。



介质成分：陶瓷电容设计使用的典型成分是碱土钛酸盐，其中最常用的是钛酸钡 ($BaTiO_3$)。额定电压，耗散系数，绝缘电阻，温度系数和介质常数等电性质都由介质成分决定。加入适量的碱土元素和过渡元素氧化物作调节剂，可以使介质电性质满足特定用途的需要。



居里点：陶瓷材料介质常数在某一温度达到峰值或突然升高，这一温度叫做居里点。把化学添加剂加入陶瓷材料可以把居里点向较高或较低温度方向移动，也可以压制居里点的发生。这是设计特定电容温度系数 (TCC) 限度的主要方法。

晶粒：陶瓷材料颗粒有晶体或多晶体结构。介质强度，介质常数和电压的敏感性(即电容电压系数，表示电压变化引起的容值变化)等电性质与晶体结构直接相关。陶瓷材料的气孔率和与收缩有关的反常现象属于微结构特性，晶粒尺寸与微结构特性的形成关系密切，因此晶粒尺寸对其他电性质也有很大影响。

电容温度系数 (TCC)：容值在特定温度范围内的最大变化量，取决于介质材料的种类。

绝缘电阻 (IR)：介质直流电阻。通常测量方法是以额定电压将电容充电一分钟，然后测量漏电电流。

耗散因数 (DF)：电容全部能量中变成热量而在电容内消耗掉的部分所占比例。或者，耗散能量和储存能量之比。

介质老化：某些陶瓷配方的介质常数随时间逐渐减小，导致容值降低。容值减少量和时间成对数关系，在电容刚刚制成时容值减少最快。

ATC的设计原则：ATC电容的设计和配方都以优化所有性能为目标。例如，减小相邻电极的间隔，即使用更薄的介质，通常能提高并联谐振频率，但同时也降低了最高额定电压。这时，要调整电极间隔和有效电极重叠面积以获得适合某些应用的组合。设计技巧的另一例子是使用添加剂改变某种介质的电容温度系数 TCC，使电容温度系数达到最佳值而绝缘电阻和耗散因数特性仍然保持良好。

Richard Fiore
高级射频应用工程师
美国技术陶瓷公司

电路设计手册

等效串联电阻损耗的有关因素

电容内所有损耗的综合叫等效串联电阻，(ESR)，一般以毫欧姆为单位。等效串联电阻(ESR)损耗由介质损耗(Rsd)和金属损耗(Rsm)组成。

$$ESR = Rsd + Rsm$$

介质损耗 (Rsd) 由介质材料的特性决定。每种介质材料都有自己的损耗，叫做损耗正切。损耗正切数值等于耗散因数(DF)的数值，是电容介质在射频频率损耗的量度。这一损耗的效果使电容发热。在极端情况下热击穿能导致电容失效。耗散因数(DF)是介质损耗程度的很好的指标。耗散因数测量通常在低频，例如1MHz进行，因为这个损耗因素在低频时起主导作用。

金属损耗(Rsm) 由电容结构中所有金属材料的导电性质决定。这些金属材料包括电极，终端和其他金属，例如阻挡层。金属损耗Rsm的结果也使电容发热。在极端情况下过热损坏造成电容失效。这类损耗包括欧姆损耗和多层电容在30MHz以上的“趋肤效应”损耗。

下表列出ATC180R系列22pF电容的介质和金属损耗。两类损耗在不同频率下测得，相加后得到在该频率的等效串联电阻ESR。注意介质损耗在低频时占主导地位，频率升高以后变小。金属损耗的情况则相反。其他电容的损耗数值与此模式相同，只是介质损耗Rsd和金属损耗Rsm所占份额不同。

频率 (MHz)	容值 (pF)	Rsd (毫欧姆)	Rs (毫欧姆)	ESR (毫欧姆)
1	180R220	145	7	152
3	180R220	48.2	7.8	56
30	180R220	4.82	9.18	14
300	180R220	0.48	28.51	29

表 1

产品说明中的等效串联电阻ESR曲线通常是在30 MHz和更高频率时的数值。这时损耗主要是金属损耗Rsm，因为这时介质损耗很低，对整个等效串联电阻ESR没有显著影响。

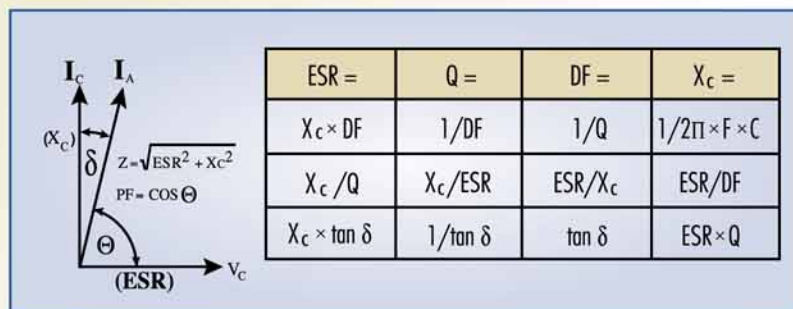


表 2: ESR, Q, DF和X_c之间关系

例如:

一个100pF电容在30 MHz的等效串联电阻ESR是18毫欧姆。在120MHz时是多少?

解: 取两个频率之比的平方根

$$\sqrt{120/30} = \sqrt{4} = 2$$

答案: 等效串联电阻ESR在120MHz时比在30MHz时加倍，即36毫欧姆。

多数情况下，高频设计要考虑等效串联电阻ESR和品质因数Q，低频设计要考虑耗散因数DF。通用准则是，耗散因数DF能帮助设计者评估显著低于10MHz的低频时的介质损耗Rsd，而等效串联电阻ESR和品质因数Q值总是与30MHz到微波的高射频的金属损耗Rsm相关。

Richard Fiore
高级射频应用工程师
美国技术陶瓷公司

电路设计手册

电容等效串联电阻ESR测量方法

等效串联电阻 (ESR) 是电容介质损耗 (Rsd) 和金属损耗 (Rsm) 的综合。陶瓷电容的介质损耗正切取决于介质成分, 介质不纯度, 和晶粒大小, 组织结构, 气孔率 (密度) 之类的微结构因素。金属损耗取决于电极和终端材料的电阻特性, 和趋肤效应造成的电极内与频率相关的损耗。电容等效串联电阻ESR是射频设计中使用电容时要考虑的关键参数。为了有效地确定电容等效串联电阻ESR, 必须建立一个可靠和可重复的测量方法。

测量方法:

测量高Q值陶瓷片状电容等效串联电阻ESR需要测试系统固有Q值高于被测器件(DUT)的Q值。高Q谐振同轴线是最常用的设备。谐振同轴线的典型结构是铜管作外导体, 实心铜棒作中心导体。被测器件(DUT)串联在中心导体和地之间。

测量电容等效串联电阻ESR之前, 需要先确定谐振同轴线没有被测电容时的无负载特性。做法是将同轴线短路, 然后测出1/4波长和3/4波长带宽。再将同轴线开路, 然后测出1/2波长和1波长带宽。所得数据用来计算同轴线的无负载Q值, 被测器件夹具电阻和谐振频率。典型的同轴线无负载Q值在1300到5000的量级(130MHz到3GHz), 夹具电阻值在5到7毫欧姆范围。

同轴线低阻抗端装有短路活塞, 电容样品与活塞串联安装。调节信号发生器频率使电压达到峰值, 就是谐振电压。然后将信号发生器频率调离谐振, 使电压在谐振曲线上从峰值向两侧各下降6dB。在同轴线的高阻抗一侧, 距短路一端约1/4波长处放置轻度耦合的毫伏表探头, 射频电压从峰值下降到6dB可以从毫伏表读出。

被测器件对谐振同轴线的Q形成微扰, 无负载同轴线的谐振频率和谐振曲线带宽被改变。对应于从峰值向两侧各下降6dB的频率是fa和fb, 这些频率用来计算电容的等效串联电阻ESR。此法叫Q微扰法。见图1。

注意: 被测电容的容性电抗与同轴线串联, 因此同轴线电长度将减小, 减小量取决于电容容值。容值大于10pF时可以得到合理的测量精度。

容值接近1pF时ESR测量误差可能很大。小容值的容性电抗 X_C 极高, 使同轴线电长度剧烈改变。在谐振时, 同轴线电抗和被测器件(电容)的电抗幅值相同, 符号相反。

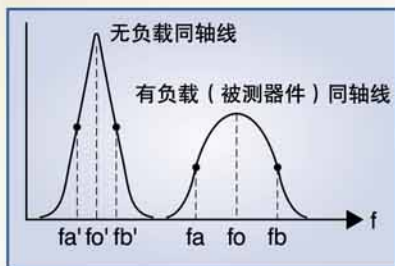


图1 两个带宽曲线

等效串联电阻ESR测量系统:

最常用的测量系统是一同轴线(制造商Boonton型号34A), 标称长度57.7 cm, 谐振频率130 MHz, 特性阻抗75欧姆。阻抗选为75欧姆是因为这样同轴线的Q值最高。如果需要其他频率范围, 同轴线长度也会不同。

信号发生器接在同轴线低阻抗端, 用一个无电感精确电阻作为终端负载。电阻装在TNC接头上, 插入同轴线的被测器件一端。电阻与裸导线线圈相连, 线圈用途是把射频能量以轻度耦合方式引入同轴线。1mw(0dBm)的射频功率经由源线圈激励短路同轴线。连续改变发生器频率直到射频毫伏表显示峰值。旋转源线圈直到同轴线高阻抗端达到3毫伏射频电压。这一步骤保证了射频激励不给同轴线加载。见图2。

在同轴线高阻抗端的射频探头与毫伏表相连, 测量谐振时射频电压。从测量结果可以计算带宽和Q值。同轴线无负载和有负载时有不同的谐振曲线带宽和Q, 比较两种情况下的Q和带宽之差可以计算等效串联电阻ESR。做法是将带宽和同轴线原始特性数据代入方程。这里讨论的ESR测量方法是串联连接时进行的, 测量频率可达3GHz。

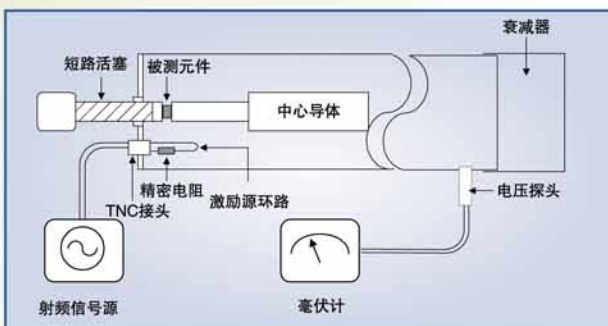


图2 有被测器件的同轴线谐振器

影响等效串联电阻ESR测量的因素:

- 为得到带宽需要测频率, 频率值至少需测量到4位小数, 5位更好。
- 信号源和测量探头必须与同轴线轻度耦合。
- 为减少辐射损耗以保持Q值, 同轴线高阻抗端应予屏蔽。屏蔽由一个截止衰减器实现, 其衰减性能表述如下: 衰减器长度以同轴线外导体半径长度为单位, 衰减器上每个同轴线外导体半径长度提供16dB衰减。
- 被测器件在同轴线系统中的安装方式要始终一致。
- 测量系统夹具和被测器件接触面需清洁才能保持测量的可重复性。

Richard Fiore
高级射频应用工程师
美国技术陶瓷公司

电路设计手册

电容温度系数简述

电容温度系数 (TCC) 描述容值在特定温度范围内最大的变化。电容制造商所说的容值是在 25°C 参考温度下测得。如果线路工作温度高于或低于这一温度, 就必须考虑电容温度系数 TCC。

第1类电容 - 这些电容在温度变化时容值很稳定, 被称为具有温度补偿功能。

第1类电容的电容温度系数TCC的规格总是以温度变化摄氏1度时容值变化百万分之几 (ppm)来表示。容值乘以电容温度系数TCC, 温度高于或低于参考温度的摄氏度数, 再除以 1,000,000 就得到最大容值变化量。

例如: 一个 1000 pF的NPO 电容在温度 35°C 时最大容值漂移是多少?

解: NPO 介质的TCC 是 $0 \pm 30 \text{ ppm}/^\circ\text{C}$ 。
温度从25°C参照点变化量 = $35 - 25 = 10^\circ\text{C}$

$$\frac{\text{容值} \times \text{TCC} \times T}{1,000,000} = \text{容值变化}$$

即

$$\frac{1000 \text{ pF} \times \pm 30 \text{ (ppm)} \times 10}{1,000,000} = \pm 0.3 \text{ pF}$$

因此, 1000pF电容经历10°C温度变化时容值变化能造成最高容值1000.3pF, 最低容值999.7pF。

第1类电容最适用于要求容值在大温度变化范围内稳定和Q值高的线路。滤波网络, 多数与调谐和计时有关的线路, 以及各种谐振线路通常需要第1类电容。

第2类电容 - 第2类电容的温度稳定性不如第1类, 但他们的优点是体积利用率高, 也就是外形尺寸相同时提供更高容值。这种电容适用于需要高容值而Q值和温度稳定性不太重要的线路。第2类电容介质的电容温度系数TCC以百分比表示。

因此, 最大容值改变量就是该电容容值乘以该电容的电容温度系数TCC的百分比。

例如: 一个1000pF的 X7R介质电容的最大电容变化量有多大?

解: X7R介质的电容温度系数TCC 是 $\pm 15\%$
 $1000 \text{ pF} \times 0.15 = 150 \text{ pF}$

因此, 本例中1000pF电容在温度高于或低于参考温度25°C时容值可能高到1150pF或低到850 pF。

电子工业协会规定的第2类介质电容温度系数TCC命名法

第1个字符: 最低工作温度

X = -55 °C Y = -30 °C Z = +10 °C

第2个字符: 最高工作温度

5 = +85 °C 7 = +125 °C

第3个字符: 最大容值变化百分比

V = +22, -82% R = $\pm 15\%$

U = +22, -56% P = $\pm 10\%$

T = +22, -33% F = $\pm 7.5\%$

S = +22% E = $\pm 4.7\%$

结论: 当所设计的线路的工作温度高于或低于 25°C时, 必须考虑电容温度系数TCC。ATC的射频应用部可提供更多有关信息。

Richard Fiore
高级射频应用工程师
美国技术陶瓷公司

电路设计手册

绝缘电阻简述

绝缘电阻 (IR) 是介质材料绝缘性质的量度, 通常以兆欧为单位。绝缘电阻包括体电阻和表面电阻, 可以表示为两者并联。

绝缘电阻 = $R_V \times R_S / (R_V + R_S)$

体电阻率: R_V (欧姆 cm), 代表某种介质材料单位体积的电阻。

表面电阻: R_S (欧姆/方块), 也叫薄层电阻, 代表单位面积的电阻, 它解释了为什么电容外表面有漏电通道。表面电阻是材料固有性质, 但是电容表面污染和气孔也影响这个参数。

测量绝缘电阻 IR

以绝缘电阻表测量绝缘

电阻时, 绝缘电阻表给被测电容加电压 (通常是额定直流工作电压 WVDC) 约 1 分钟。电容充电以后, 测量其漏电电流。所加直流电压和初始充电时间之后的漏电电流的比值就是 IR 的值。这个数值可以表示为漏电或绝缘电阻。ATC 陶瓷片式电阻典型绝缘电阻 IR 值在 25°C 时的量级是 10^{12} 欧姆。

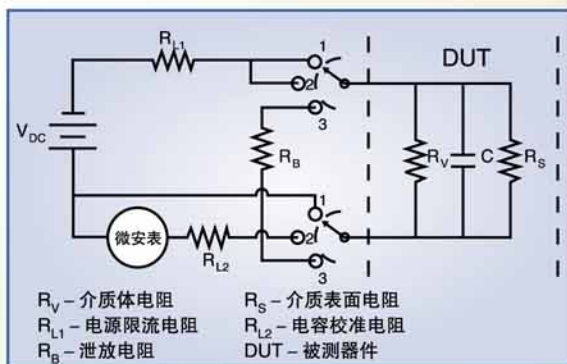
本文附图是绝缘电阻表的简化线路, 两条虚线之间是被测电容模拟线路。 R_{L1} 与直流电源串联, 以便把充电电流限制在 50 毫安以内。而且, 在绝缘电阻 IR 太低或被测样品短路时, R_{L1} 能限制瞬时电流。 R_{L2} 与微安表串联, 以便把漏电电流转换成绝缘电阻并校准成适当阻值。泄放电阻 (R_B) 与被测电容并联, 在测试完成后让被测电容放电。

影响绝缘电阻的因素:

介质材料性质和制造过程中的处理方式, 也就是陶瓷成分和焙烧温度随时间变化关系是决定陶瓷片式电容绝缘电阻 IR 特性的重要因素。气孔和裂缝

之类的微结构缺陷, 层间分离和外来物等缺陷也与绝缘电阻 IR 变化有关。这些缺陷很讨厌, 需要在制造处理过程中加强控制以避免它们发生。

陶瓷晶体结构中离子不平衡就导致带电粒子的产生。在有电场时, 带电粒子可以移动。移动带电粒子数目增加



绝缘电阻表线路和电容绝缘电阻模型线路

造成漏电电流通路, 使绝缘电阻恶化。带电粒子移动性随温度增加, 因此在高温下绝缘电阻降低。125°C 时绝缘电阻降低大约一个数量级。因为在高温下介质缺陷容易暴露, ATC 频繁地在额定最高工作温度测试各个生产批次的电容, 以发现介质材料潜在缺陷。其他影响绝缘电阻的因素列举如下。

添加剂: 化学添加剂可能表现为化合价, 化合价影响介质的绝缘电阻。选择诸如各种氧化物的化学添加剂时需要仔细考虑才能优化绝缘电阻。

粒子尺寸和晶粒边界: 陶瓷颗粒越小, 陶瓷晶粒结构就越细。这正是电容所需要的。因为晶粒越小, 晶粒边界数量越大, 而晶粒边界是漏电电流的障碍, 有助于提高绝缘电阻。

粘结剂: 在制作浆状陶瓷和膏状电极材料时需要粘结剂, 制成后需清除粘结剂。清除方法是缓慢周期加热, 使粘结剂的有机混合物分解而被消除。如果粘结剂没有妥善清除, 它就会在

陶瓷中留下碳和其他不纯物质的痕迹。这些残余物质在焙烧时会和介质发生反应, 可能改变可移动带电粒子的分布, 产生导电通路, 降低绝缘电阻。

杂质: 在电容制造全过程中必须注意生产中的污染。生产中的污染使介质材料绝缘电阻恶化, 因此必须严格控制。

表面污染: 电容绝缘电阻极易因焊料, 潮气, 盐类和许多环境污染物而恶化。所以应小心清洁电容表面, 消除异物。

密度/气孔: 为使气孔含量最低, 陶瓷介质材料必须作成尽可能接近其理论密度。陶瓷微结构中的大气孔会吸收环境污染物和潮气, 造成绝缘电阻恶化。电容在高湿度下工作时这种现象尤为明显, 临时矫正的方法是加热电容以驱散湿气。

应用考虑:

- 电容的低绝缘电阻在场效应晶体管 (FET) 放大器的偏置网络中产生附加并联电阻, 会改变偏压条件。
- 用于隔直和耦合的电容需要高绝缘电阻以防止直流漏电电流。
- 用于滤波和匹配的电容需要高绝缘电阻以保证线路总体 Q 值不受影响。
- 电容的低绝缘电阻会影响电容低损耗系数 (DF)。因为绝缘电阻象分路电阻一样和电容并联, 这时绝缘电阻表现为介质损耗的一个主要部分, 使损耗系数 (DF) 恶化。
- 在大功率旁路线路中低绝缘电阻导致过高热耗散, 恶化线路性能。
- 如果绝缘电阻一开始就过低, 电路使用过程中一直存在的电压和工作温度升高会影响电路总体性能。

Richard Fiore
高级射频应用工程师
美国技术陶瓷公司

电路设计手册

介质老化现象

介质老化:

电容老化对于制造和使用电容都是要着重考虑的问题。在电容整个使用寿命中,需要容许一定程度的老化效应,何种程度为适当则需要审慎考虑。有时电容终端用户认为老化现象无关紧要,其实老化很容易引起线路工作异常。

“电容老化”指的是铁电类介质材料表现的一种效应,这种材料主要成分是钛酸钡($BaTiO_3$)。这种介质的介电常数(ϵ) 随时间降低。老化率是介质介电常数随时间递减的变化率,与时间成对数关系。介质老化通常表示成每十进小时的百分比,即1-10小时,10-100小时,100-1000小时等。

铁电陶瓷材料的晶体微结构松弛造成介质老化。电容焙烧之后要放在室温下使之稳定,这时就发生老化。这类材料作的电容容值在刚制成时下降很快,然后下降大大减慢。

介质常数随时间变化在这一松弛期发生。介质老化现象主要见于铁电陶瓷材料,如果材料介质常数高就更明显。例如电子工业协会规定的第2,3类介质材料。因此,老化率在一定程度上和介质常数或介电常数成比例。见表1和图1例子。

介质材料	典型介质常数	典型老化率
NPO	65	无
X7R	2,000	1.5% - 2.5%
BX	4,000	3% - 4%
Z5U	8,000	4% - 5%
Y5V	10,000	6% - 7%

表1 几种电子工业协会命名介质的老化率

注意: 标中列出典型老化率。但是,不同制造商的介质成分不同,老化率也会很不相同。

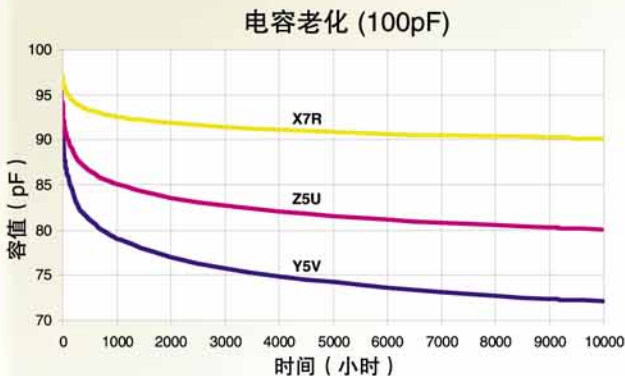


图1: 电容老化举例(不同介质的100pF电容的老化)

居里温度:

在温度达到居里温度时,晶体形态发生变化。晶体结构从低于居里温度时的初始四角不对称排列变成高于居里点时的正方钙钛矿对称排列。介质常数(ϵ)在这个温度剧烈升高。这种改变对于钛酸钡($BaTiO_3$)成分材料很典型,其居里温度是120°C。这里值得注意的有趣的一点是,通过改变陶瓷成分,居里点可以被移到较高温度上,居里点介质常数的峰值也可以压低。改变居里点温度和峰值可以经由某种添加剂来实现。

介质老化过程的起点,或老化计时的零点,是最后一次温度处理(加热周期)时温度超过居里点的一刻。这种处理或周期包括制造过程的各个阶段,例如为消除粘结剂的加热,制作终端时的加热,电镀时的加热和焙烧。以上每个阶段中都将陶瓷材料加热到居里温度以上。



电容本体制成后大约24小时测容值。此后电容还经过若干加热周期,每个周期之后的24小时也同样再测容值。这一措施确保用户拿到电容时电容已经经过足够的老化,因此只会发生合理的小幅度容值变动。长期的老化作用可能使容值减少到低于规定误差的低端。这种介电常数随时间减少的现象在铁电材料中是不可避免的,但是把电容再加热可以恢复介电常数。电容制造行业中解除陶瓷电容老化的标准做法是把电容再加热到一个高于居里点的温度,时间维持1小时,常用温度是150°C。电容制造商发货时电容的状况是,从此状况开始经过大约10天老化之后容值一定在误差范围之内。

计算老化率:

以下公式给出了老化率和容值在t小时以后的关系。 C_A 是一定时间间隔以后的容值。为了本例目的, C_1 选为最后一个加热周期结束后1小时时的容值,但是 C_1 更经常地是选为24小时后的容值,用来作为老化时间轴起点时刻 t_0 时的起始容值。

$$C_A = C_1 (1 - A/100 \log_{10} t)$$

这里 C_A = t小时以后容值

C_1 = t_0 时刻容值

A = 介质老化常数(老化率)

t = 从最后一次加热以来的时间,单位为小时

应用考虑:

设计滤波,调谐,匹配和计时这些需要低漂移的线路时,要选用低老化率或无老化电容。

把铁电类高介电常数电容用于电路时,不要要求高精度,因为这类电容时间长了其容值很容易漂移到精度范围以外。

在把铁电材料器件用于电路之前,要根据老化率和温度电容系数(TCC)来判断需要的最小容值。在很多情况下设计者需要设定容值的保证最低值(GMV)。

Richard Fiore
高级射频应用工程师
美国技术陶瓷公司

电路设计手册

陶瓷电容压电效应

希腊词根“PIEZO”意思是“压”。1880年，杰克·居里和皮埃尔·居里发现压力加于石英晶体时晶体上产生电势，同样地，他们发现电势加于晶体上时晶体变形。他们把这个现象叫压电效应。

压电效应可以容易地定义为：加压力于晶格结构或用机械手段使其变形，因而产生电势。晶格结构变形使材料中分子变成生电的偶极子，在晶体两端造成电势差。

压电效应在没有对称中心的晶体中发生，导致晶体纯极化。最广为人知的压电材料是石英。此外就是各种常用于电容

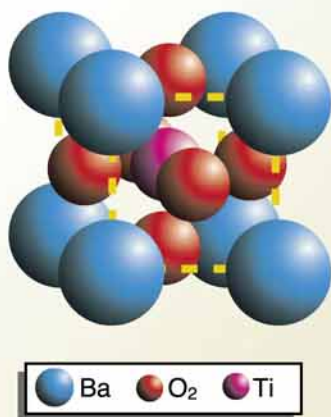
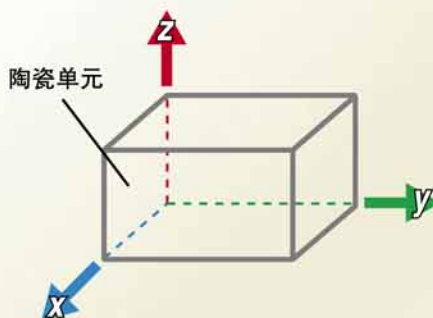


图 钙钛矿陶瓷一例 - 钛酸钡 (BaTiO₃)

介质成分的多晶陶瓷。钙钛矿是这类材料之一，是地球上蕴藏丰富的矿物。象钛酸钡，钛酸钙和钛锆酸铅这样的晶体陶瓷成分有很多种，这些不同成分中都有钙钛矿。这些晶体有固有的压电性质，用它们作电容时，要小心处理以便把压电效应减到最小。

压电陶瓷:

因为许多陶瓷材料各向异性，压电效应取决于机械激励的方向。下图用一陶瓷单元图解这个概念。叫做X, Y 和Z的3轴按传统右手正交轴系统排列。这个正交坐标系常用来描述压电性质。按常规选Z为参照方向。在3个方向中沿任何一个方向的机械或电激励在这个方向的相应正交轴上产生反应。例如，Z方向的电场引起X方向的机械形变。反过来，在X方向上的机械形变引起Z方向电场。沿任何轴的压电效应都取决于这个方向的一个正交轴上的机械激励。



电路应用考虑:

稳定性: 在许多电路中，压电效应引起颤噪效应，由此行生出大量电路性能问题。例如:

- 电容结构上的振动产生不需要的附加信号电压，可能造成高Q电路失谐。
- 振荡器不稳，如果用无源元件调谐尤其如此。
- 在脉冲电路中产生振铃现象。
- 在数字电路中产生错误数据。

机械应力:

振动加在电容上的机械应力能破坏电容终端和陶瓷的连接。压电陶瓷中的剪切力也能影响陶瓷和终端连接的可靠性。这个问题会使损耗正切 (DF) 越来越恶化，从而逐渐降低电容性能。

当电容加了射频电压时，电容微结构会以相同射频频率涨缩，这个涨缩能产生剪切力，导致电容变形，降低可靠性，甚至完全失效。

相位敏感线路:

滤波网络不能使用有压电效应的电容。移相器，滤波器，振荡器或任何需要稳定相位的线路要避免使用有压电效应介质材料，因为可能发生由机械激励引起的相位变化。

耦合线路:

级间耦合线路常对有压电效应的电容很敏感。因为有压电效应的电容能把非线性畸变传给下一级，所以应避免使用这种电容。

Richard Fiore
高级射频应用工程师
美国技术陶瓷公司

电路设计手册

有效容值和频率的关系

供应商产品目录列出的容值通常被假设不随频率变化。工作频率比电容自谐振频率足够低时，这一假设基本正确。可是，当工作频率接近电容自谐振频率时，容值开始增加，因为这时有效容值 (C_E) 大于标称容值。本文将讨论有效容值和工作频率的函数关系的一些细节。为了描述这种现象，图1画出了一个电容的简化集总参数模型，这个模型和频率源及网络相连。因为电容和它的寄生串联电感 (L_S) 产生净电抗，而有效电容在很大程度上是这个净电抗的函数，所以选用图1中的模型。图中等效串联电阻“ESR”对有效电容影响不大。

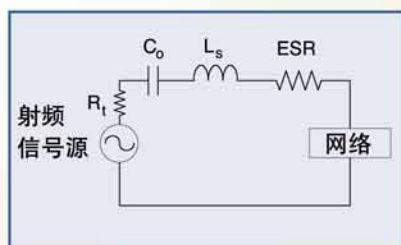


图1 集总参数等效电路

有效电容:

标称容值 (C_0) 在1MHz 频率下测得。在典型射频线路中，工作频率通常大大高于1MHz测量频率，因而在工作频率下寄生串联电感 (L_S) 的感抗 (X_L) 与容抗 (X_C) 相比变得很大。图2显示，频率增大时 X_L 的增加比 X_C 大得不成比例。这就造成有效容值比标称容值大 (注意，容抗越小意味着容值越大)。在电容串联谐振频率上，两种电抗数值相同，符号相反，因而净电抗为零。 C_E 的表达式在这个频率上没有定义。

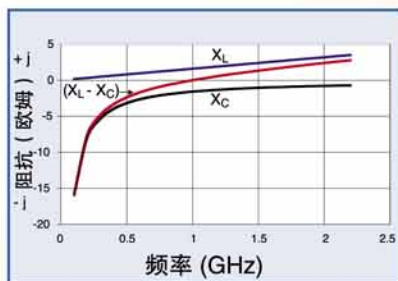


图2 净阻抗对频率

如图1所示，一个真实的电容可以表示成 C_0 和 L_S 串联。然后可以令 C_0 和 L_S 这一组合的阻抗等于 C_E 的阻抗。 C_E 可以叫做“理想等效”电容。

由以上讨论得到下列公式:

$$j(\omega L_S - 1/\omega C_0) = -j 1/\omega C_E$$

$$\omega^2 L_S - 1/C_0 = -1/C_E$$

工作频率 F_0 和有效容值 C_E 的关系是:

$$C_E = C_0 / (1 - \omega^2 L_S C_0)$$

$$C_E = C_0 / [1 - (2\pi F_0)^2 L_S C_0]$$

这里:

- C_E = 工作频率 F_0 时的有效电容值
- C_0 = 1MHz时标称电容值
- L_S = 寄生电感 (亨利)
- F_0 = 工作频率 (Hz)

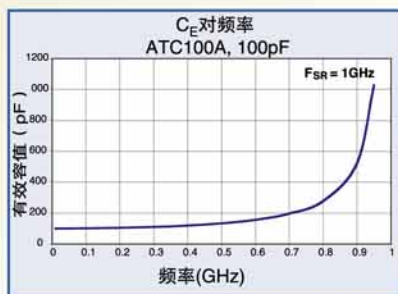


图3 有效容值 (C_E) 对频率 F_0

从这个关系可以看出，工作频率增加时分母变小，因而有效容值加大。在电容串联谐振频率上分母为零，表达式没有定义。有效电容 C_E 与频率的关系是双曲线，如图3所示。

例:

以ATC 100A系列100pF电容为例，计算它的有效容值 (C_E) 在10MHz, 100MHz, 500MHz, 900MHz和950MHz时的值。

解: 使用公式 $C_E = C_0 / [1 - (2\pi F_0)^2 L_S C_0]$ 结果见表1。

工作频率 (MHz)	有效容值 (C_E) pF	阻抗 (欧姆)
10	100.01	0.013 - j159.13
100	101.01	0.023 - j15.76
500	133.34	0.051 - j2.38
900	526.29	0.069 - j0.337
950	1025.53	0.070 - j0.168

表1

工作频率 F_0 、有效容值 C_E 和阻抗 Z 的关系

有关应用的考虑:

设计需要阻抗匹配和最小漂移的电路，例如滤波器和振荡器时，要特别注意 C_E 。线路工作频率低于电容自谐振频率时，净阻抗是容性 (-j)，高于自谐振频率时，净阻抗是感性 (+j)。工作频率高于串联谐振时，电容阻抗相应地位于史密斯园图上的感性区域 (+j)。设计以上线路时，有效电容 C_E 和它的净阻抗在工作频率的正负号必须仔细考虑。与滤波器和振荡器相反，多数耦合，旁路和隔直线路通常对阻抗的正负号不敏感。只要阻抗幅值低，不管是感性或容性都可以。工作频率接近谐振时，有效容值很高，净阻抗值很低。在谐振频率，净阻抗等于等效串联电阻 (ESR) 的幅值，容值没有定义。

Richard Fiore
射频应用高级工程师
美国技术陶瓷公司

电路设计手册

耦合与隔直电路中的电容

耦合和隔直电路中的电容作用是把射频能量从电路的一部分转移到另一部分去，电容接法是串联。正确选择耦合电容能保证最大的射频能量传递。理论上，所有电容都能隔直。但是，耦合线路的要求能否满足取决于几个依赖于频率的电容参数，设计电路时必须预先仔细考虑这些参数。

图1 画出两个50欧姆网络中的射频放大级，以耦合电容 C_0 相连接。表1给出无线应用频率时要达成级间耦合可以选用的器件。为了得到最佳耦合，必须评估串联谐振，阻抗，插入损耗和等效串联电阻等电参数。

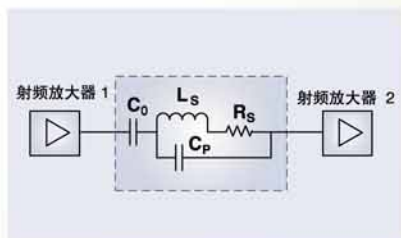


图1 级间耦合方块图

注意：图1中耦合电容 C_0 用以下参数表示：它的等效串联电阻（ESR），符号为 R_s ，等效串联电感（ESL），符号为 L_s ，和与并联谐振频率(F_{PR})有关的寄生并联电容 C_p 。

频率 (MHz)	所用器件	FSR (MHz)	插入损耗 S21 (dB)	ESR (欧姆)	外形尺寸
900	100A101 - 100 pF	1000	<0.1	0.072	0.055英寸x0.055英寸
	600S101 - 100 pF	1340	<0.1	0.070	0603
1900	100A270 - 27 pF	1870	<0.1	0.161	0.055英寸x0.055英寸
	600S560 - 56 pF	1890	<0.1	0.085	0603
2400	100A160 - 16 pF	2410	<0.1	0.218	0.055英寸x0.055英寸
	600S390 - 39 pF	2340	<0.1	0.140	0603

表1 耦合电容和有关参数举例

电容的串联谐振频率(F_{SR})也叫自谐振频率，由以下公式计算：

$$F_{SR} = \frac{1}{2\pi\sqrt{L_s C_0}}$$

在这个频率，电容净电抗为零，阻抗等于等效串联电阻 ESR。如表1所示，瓷介质电容ATC100A101 (100pF) 的串联谐振频率 F_{SR} 是1000MHz，对应等效串联电阻ESR是0.072欧姆。在串联谐振频率时，电容提供最佳耦合需要的最低阻抗通道。与此相反，电容阻抗在它的并联谐振频率(F_{PR})陡然升高。研究电容的S21参数和频率的关系就能

很容易地看到电容在并联谐振频率上的极高损耗。在含电容的耦合线路中，如果工作频率超过电容串联谐振频率 F_{SR} ，只要净阻抗值不高，就不会出问题。

净阻抗

电容阻抗幅值等于

$$\sqrt{(ESR)^2 + (X_L - X_C)^2}$$

这个表达式说明电容阻抗受电容净电抗($X_C - X_L$)影响极大。设计电路时掌握在整个通过频带上阻抗幅值很重要。如果耦合电容选得合适，电容在这些频率上就表现出低阻抗。

如图2所示，频率低于串联谐振时，净

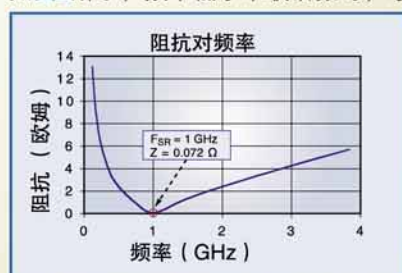


图2 ATC100A101 (100 pF) 阻抗对频率

阻抗是容性，主要由 $1/\omega C$ 决定，阻抗与频率关系在低于串联谐振 F_{SR} 的频率范围内形成双曲线。相反地，在高于串联谐振的频段内，净阻抗是感性，阻抗与频率关系是一段直线。

插入损耗(S21)

设计耦合线路需要考虑的一个重要因素是工作频率时电容的插入损耗。设计者考察电容的S21的幅值就能方便地确定这个电容能

不能用。电容并联谐振频率是否落在线路通过频带之内，对线路性能十分重要，设计者需注意检查。这些谐振一般表现为在谐振频率处显著的衰减槽口。如果线路通过频带中确有并联谐振，就需要检查槽口深度以决定线路能否承受产生的损耗。许多电容的S21幅值可能过高，因此不能用于设计的电路。多数耦合线路能承受十分之几dB的插入损耗。但是，在线路通过频带内超过十分之几dB的损耗很容易恶化线路终端性能。因此，电容的损耗对于线路设计要求是否可以接受，归根结底要由设计者来决定。

图3 给出ATC100A101 (100 pF) 电容的插入损耗特性。测量时被测电容以串联通过方式安装，测试频率50 MHz到4GHz，电容电极与基板平行。从图3可以看出电容插入损耗在200MHz和1.5GHz之间小于0.1dB。如果采用

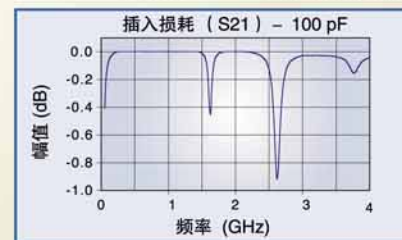


图3 ATC100A101 (100pF) 电容水平安装 (电极平行与基板) 时插入损耗对频率

将电容电极和基板垂直的安装方式，可以消除位于1.6 GHz的第一个并联谐振，结果可用频段扩展到大约2.4GHz。在宽带耦合线路中采用电极和基板垂直的安装方式，仅用一个电容就可以覆盖所有无线通讯频率。

等效串联电阻ESR 和 品质因数Q

电容品质因数(Q)的数值等于电容纯电抗($X_C - X_L$)和电容等效串联电阻的比值。

$$Q = \frac{|X_C - X_L|}{ESR}$$

从这一表达式可以看出电容Q值和等效串联电阻ESR成反比，和净电抗成正比。设计者必须掌握线路通过频带中每一个频率上的等效串联电阻ESR，尤其是那些高于电容串联谐振点的频率上的ESR。电流趋肤深度随频率升高而减小，当趋肤深度小到和电容电极厚度相仿时，如果频率继续增加，等效串联电阻ESR就与频率平方根 \sqrt{f} 成正比上升。因此，等效串联电阻ESR会按此规律增大到成为损耗的主要成分。如前所述，插入损耗的衰减槽口在电容的并联谐振点 F_{PR} 发生，槽口深度反比于等效串联电阻ESR。因此，衰减槽口深度主要由电容等效串联电阻ESR决定。

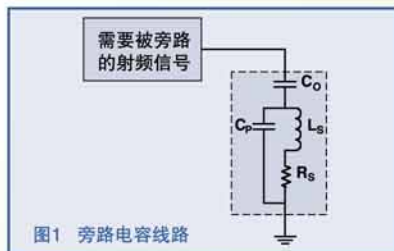
Richard Fiore
射频应用高级工程师
美国技术陶瓷公司

线路设计手册

旁路线路中的电容

用于旁路的电容的接法是并联，目的是把射频能量从电路内某点输送到地。正确选择旁路电容才能提供低阻抗入地通道。理论上，理想阻抗是零欧姆，但是每个实际的电容都有感抗和固有寄生参数，因此都表现出一些阻抗。为了满足电容旁路电路性能要求，设计者需要仔细研究串联谐振频率(F_{SR})，等效串联电阻(ESR)和阻抗幅值这些随频率变化的电容参数。设计每个电路时，都要在所有工作频率上考察电容的等效串联电阻(ESR)和阻抗。

图1是电容旁路线路的方块图。图中电容 C_0 由以下参数表示：等效串联电阻ESR，符号为 R_S ，等效串联电感(ESL)，符号为 L_S ，和与并联谐振频率(F_{PR})相关的寄生并联电容 C_0 。



术语：

等效串联电阻(ESR)：电容介质损耗 R_{SD} 和电容金属损耗 R_{SM} 的总和($R_{SD} + R_{SM}$)就是等效串联电阻ESR,通常单位是毫欧姆。 R_{SD} 是介质损耗正切，由介质成分和加工处理方式决定。金属损耗由电极和终端材料的电阻特性，以及电极趋肤效应造成的损耗决定。在射频旁路电路中使用电容时，等效串联电阻ESR是需要考虑的关键参数。

品质因数(Q)：电容的Q的数值等于电容净电抗($X_C - X_L$)和等效串联电阻ESR之比。也就是 $Q = |X_C - X_L| / ESR$ 从这个表达式可以看出Q和等效串联电阻ESR成反比，和净电抗成正比。

串联谐振频率(F_{SR})：串联谐振发生在这个频率 F_{SR} ， $F_{SR} = 1/2\pi\sqrt{L_S C_0}$ 。在这个频率上电容净电抗为零，阻抗等于等效串联电阻ESR。因此，这时电容提供最佳旁路需要的最低阻抗通路。

并联谐振频率(F_{PR})：电容极板与线路基板平行时，在大约2倍串联谐振频率处发生并联谐振。与串联谐振成对比，并联谐振时电容阻抗急剧升高。考察插入损耗在并联谐振时的幅值就能很容易地看到电容阻抗升高。

阻抗(Z):电容阻抗幅值等于

$$= \sqrt{(ESR)^2 + (X_L - X_C)^2}$$

从这个表达式可以看到，净电抗($X_L - X_C$)对电容阻抗影响很大。

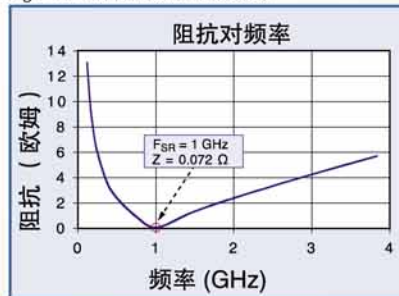


图2 ATC100A101 (100pF) 阻抗对频率

在需要的频率范围内考察电容阻抗幅值十分重要。旁路电容如果选得正确，就能在旁路需要的频率范围内表现低阻抗。如图2所示，频率低于串联谐振频率时净阻抗是容性，阻抗值是 $1/\omega C$ 。频率低于串联谐振点时电容阻抗和频率关系是双曲线。频率高于串联谐振点时电容阻抗是感性，阻抗值是 ωL 。频率高于串联谐振点时电容阻抗和频率关系是一段直线。

线路举例

旁路是电路设计中重要的一项，需要仔细考虑。图3是1.9GHz移动电话场效应管(FET)放大器，着重画出漏极偏置电路。

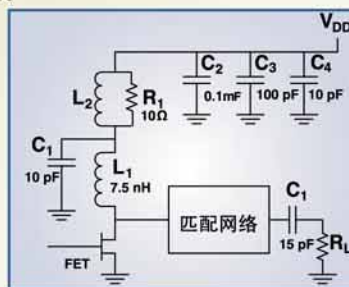


图3 1.9GHz 场效应管(FET)宽带偏置网络旁路电容

图中电路元件阻止射频能量进入漏极偏置 V_{DD} 供应线，同时在漏极提供射频高阻抗，因而在在工作频带内保持最佳射频增益。此外，这个电路也阻止电源产生的噪音在场效应管FET的漏极出现。交换模式电源(SMPS)造成信号的高速开启和关断，因而在漏极偏置供应线上激发噪音。开关脉冲沿快速升高和下降，产生瞬时电流，很容易在漏极偏置供应线引起振铃现象。振铃导致的噪音的频率可以高达几百兆赫。交换模式电源(SMPS)的开关激发的射频噪音频率通常高达 $0.35/P_E$ ，这里 P_E 是脉冲上升或下降

时间(秒)。例如，一个开关脉冲的上升和下降时间为1.5毫微秒，产生的杂散频谱分量可以达到233 MHz。

漏极偏置网络：

如图3所示，场效应晶体管FET漏极偏置网络包括阻抗为 ωL 的串联感性元件，和阻抗为 $1/\omega C$ 的并联容性元件。在偏置网络中正确选择旁路电容很重要，因为旁路电容负责在很宽的频带上把射频能量从漏极电压 V_{DD} 供应线引开并入地。因为电容本身有小量寄生电感，因而由此产生的自谐振频率。 $F_{SR} = 1/2\pi\sqrt{L_S C_0}$ 。在自谐振时，感性和容性电抗幅值相等，净阻抗 $= \sqrt{(ESR)^2 + (X_L - X_C)^2}$ 等于一个很小的等效串联电阻ESR的数值。因此，理想的设计方法是选择自谐振频率 F_{SR} 等于或接近需要的旁路频率的电容。所以要这样选择是因为电抗极小或为零的低阻抗通道对于旁路线路最为理想。

对于多数多层陶瓷电容，并联谐振 F_{PR} 通常在大于2倍串联谐振频率 F_{SR} 处发生。在并联谐振时，电容阻抗多半很高，而且是感性，即 $R + j\omega L$ 。这样，电容就无法提供良好的射频入地通道。为了解决这个问题，可选用几个自谐振频率错开的电容，这样就能覆盖宽频带而保持合理的低损耗。总共需要几个电容元件取决于每个电容在工作频带上的损耗和阻抗特性。

电感和漏极串联，而不直接接到射频接地参考点。所以，电感依靠旁路电容 C_1 到 C_4 实现一个低阻抗入地通道。 L_1 和 C_1 的组合可以阻挡工作频带内1.9GHz载频能量到达漏极偏置 V_{DD} 供应线。电感 L_1 在这个频率上阻隔射频能量，而电容 C_1 则把射频能量旁路入地，从而进一步抑制了工作频带内的射频能量。在频率低于1.9GHz载频时放大器增益可能很高，这时 L_2 ， C_2 ， C_3 和 C_4 抑制射频能量。选择 C_1 容值，使 C_1 的自谐振 F_{SR} 接近放大器工作频率。因为 C_1 是并联元件，其阻抗在自谐振时很低，线路工作频率的射频能量由 C_1 旁路入地。 C_2 ， C_3 和 C_4 容值错开，逐个降低，而且每一个电容都在自己负责的频段中表现出低阻抗和低感抗。这样，在低于放大器工作频带的频率(由 C_2 ， C_3 和 C_4 负责的频段组成)上就有了连续的旁路。

Richard Fiore
射频应用高级工程师
美国技术陶瓷公司

电路设计手册

用于阻抗匹配的高Q电容

电容Q值在设计射频匹配电路时几乎永远是要着重考虑的因素。电容功率损耗反比于Q值，正比于等效串联电阻ESR。有源器件阻抗通常较低，为了把这个相对较低的阻抗转换成系

与此相似，磁共振成像MRI的成像线圈需要损耗极低的电容。在这些应用中电容用来调谐谐振电路的线圈，电容阻抗必须低得可以忽略。磁共振成像线圈需要检测极微弱的信号，任何

例如：

考虑以下应用：

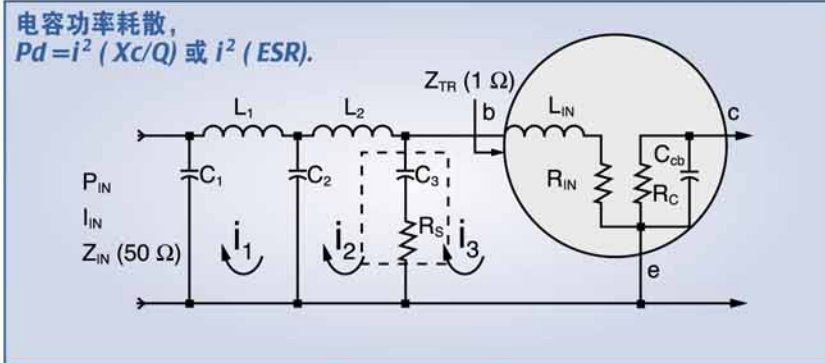
150 MHz 功率放大器

输出功率 = 400瓦，

系统阻抗 = 50 欧姆。

$$I = \sqrt{P/Z} = \sqrt{400/50} = 2.83A. \text{均方根值}$$

假设400瓦放大器的输出耦合电容的等效串联电阻ESR是 0.022欧姆。这样电容功率损耗就是 $i^2 \times ESR$ 或 $2.83^2 \times 0.022 = 176$ 毫瓦。这个例子说明电容功率损耗和ESR直接有关，因此高Q低等效串联电阻ESR的电容对这个放大器至关重要。如果不把电容损耗压到最低，即使是没有大电流的小信号放大器的有效增益和整体噪声系数也会变坏。



统的阻抗，多数射频放大器都需要输入匹配网络。

低Q电容造成的损耗都会增加热噪声，使处理信号变得困难或不可能。

有源器件输入阻抗通常在0.5到2欧姆的量级，一般要和50欧姆系统匹配。假设功率放大器中晶体管输入阻抗为1欧姆，这就需要50:1的阻抗变换。因此，在匹配网络把信号阻抗从50欧姆变换成1欧姆时，设计者必须用电压换电流。结果是环行电流 i_3 比输入电流 i_{IN} 大了7倍。见图。

发热管理 - (见图)在极端情况下，如果 C_3 损耗很大，它的高环行电流能熔化焊锡。这样很容易造成元件从线路板开焊。因为 C_3 位置接近有源器件，

下表给出频率倍增时功率损耗典型值怎样随等效串联电阻ESR变化。ATC 100B系列的220pF电容和典型0805 NPO 220pF电容的功率损耗同时列出以资比较。

匹配网络要用高Q电容的原因：

输出能力 - 匹配网络的低损耗高Q电容能保证放大器的最大有效增益和功率输出。在射频大功率线路中使用高Q无源元件能大大降低元件发热造成的损耗。

噪声指数 - 像卫星接收机用的低噪声放大器(LNA)这样的小信号放大器，需要高Q电容。损耗大的无源元件会增加热噪声(KTB)，恶化整个放大器的噪声系数，从而降低信噪比。

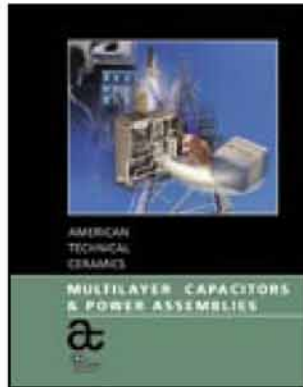
任何来自电容的附加发热都影响晶体管，从而降低可靠性，甚至造成器件失效。为实现最佳射频性能，电容位置应该接近晶体管，但是决定电容位置时还必须考虑到发热管理。在设计关键电路时如果电容选择不当，很容易引起一大堆线路性能问题。

可靠性 - 有损耗电容生热过多，影响有源器件可靠性。和这个热源有关或者离这个热源太近的元件也受不良影响。在耦合，匹配，旁路和隔直电路中使用有损耗电容，很容易导致平均失效时间MTBF降低。

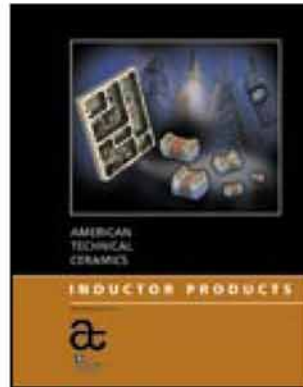
Richard Fiore
射频应用高级工程师
美国技术陶瓷公司

频率 (MHz)	等效串联电阻(欧姆) ATC 180R 220pF	功率损耗(瓦) ATC100B 220 pF	等效串联电阻 ESR (欧姆) 典型0805 NPO 220pF	功率损耗 (瓦) 典型0805 NPO 220 pF
150	0.025	0.200	0.08	0.640
300	0.035	0.280	0.113	0.904
600	0.049	0.392	0.159	1.272
1200	0.069	0.552	0.224	1.792

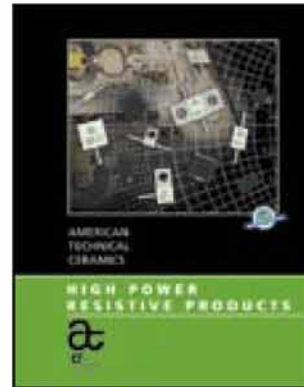
其他ATC产品目录



多层电容和功率电容组



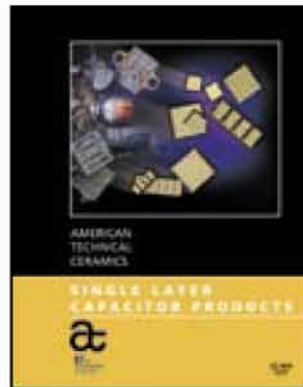
电感产品



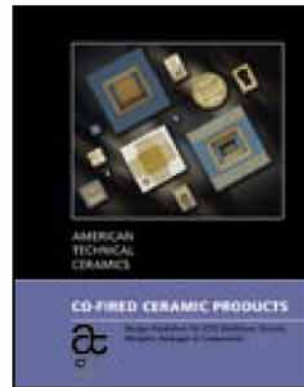
电阻产品



顾客定制薄膜产品



单层电容



共烧陶瓷产品



AMERICAN

ATC North America
631-622-4700
sales@atceramics.com

TECHNICAL

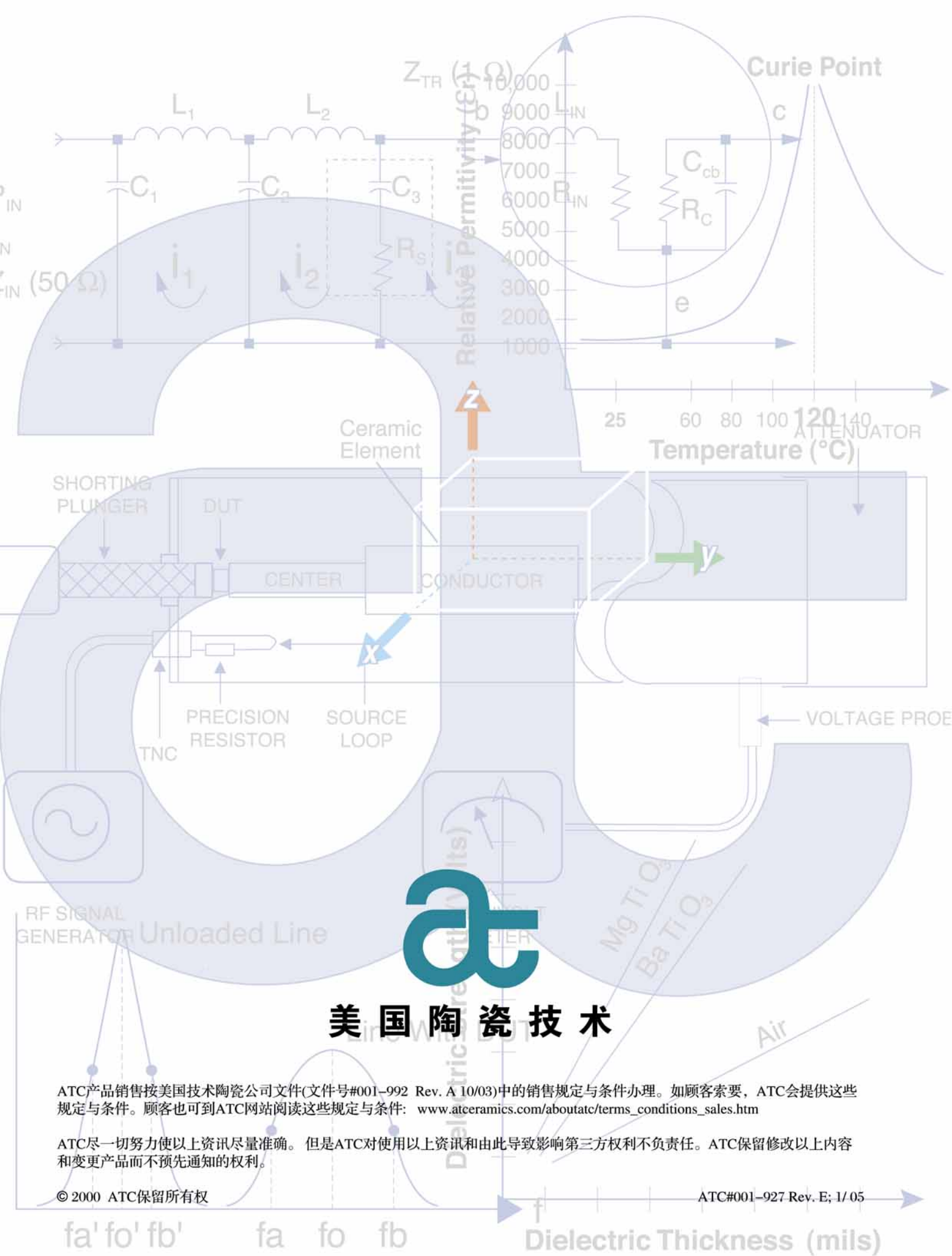
ATC Europe
+46 8 6800410
sales@atceramics-europe.com

CERAMICS

ATC Asia
+86-755-8366-4318
sales@atceramics-asia.com



www.atceramics.com



美国陶瓷技术

ATC产品销售按美国技术陶瓷公司文件(文件号#001-992 Rev. A 10/03)中的销售规定与条件办理。如顾客索要, ATC会提供这些规定与条件。顾客也可到ATC网站阅读这些规定与条件: www.atceramics.com/aboutatc/terms_conditions_sales.htm

ATC尽一切努力使以上资讯尽量准确。但是ATC对使用以上资讯和由此导致影响第三方权利不负责任。ATC保留修改以上内容和变更产品而不预先通知的权利。

© 2000 ATC保留所有权

ATC#001-927 Rev. E; 1/05