

如何得到最佳电容耦合

作者：理查德·费奥瑞 美国技术陶瓷 射频技术应用部主任

耦合与隔直电容的作用是把射频能量从电路中一个位置连接到另一位置，这类电容的接法是串联。耦合电容选择适当能保证射频能量获得最大限度的传输。按电容定义，所有电容都阻隔直流。但一个实际电容能否满足电路耦合要求，取决于电容随频率变化的参数，设计时必须预先考虑这些参数。

的寄生并联电容 C_p 。

电容串联谐振频率(F_{SR})也叫自谐振频率，等于

$$F_{SR} = \frac{1}{2\pi\sqrt{L_S C_0}}$$

在此频率上电容纯电抗为零，电容阻抗等于ESR。如表1所示，瓷介质

纯阻抗

电容阻抗幅值等于

$$\sqrt{(ESR)^2 + (X_L - X_C)^2}$$

从这个表达式可以看出，电容阻抗在很大程度上决定于它的纯电抗($X_C - X_L$)。设计者需要知道电容在整个通过频带上的阻抗幅值。耦合电容如果选得合适，就能在这个频带上呈现够低的阻抗。

如图2所示，频率低于 F_{SR} 时电容纯电抗为容性，阻抗幅值为 $1/\omega C$ ，因此幅值对频率曲线在低于 F_{SR} 的频率上是双曲线。在频率高于 F_{SR} 时情况相反，纯阻抗变成感性，幅值为 ωL ，幅值对频率成为线性关系。

插入损耗 (S21)

设计任何耦合线路时的基本考虑之一是电容在工作频率下的插入损耗。设计者考察电容S21的幅值就能很容易地确定电容是否可用。考察电容是否有并联谐振频率落在线路通过频带之内至为重要。这些谐振通常在所在频率处表现为明显的衰减槽口。如果确有并联谐振落在通过频带之内，就要看衰减槽口有多深来决定线路能否承受这一损耗。电容S21幅值过大时，常常不能用于耦合线路。对多数耦合线路来说，十分之几dB的插入损耗通常可以接受。

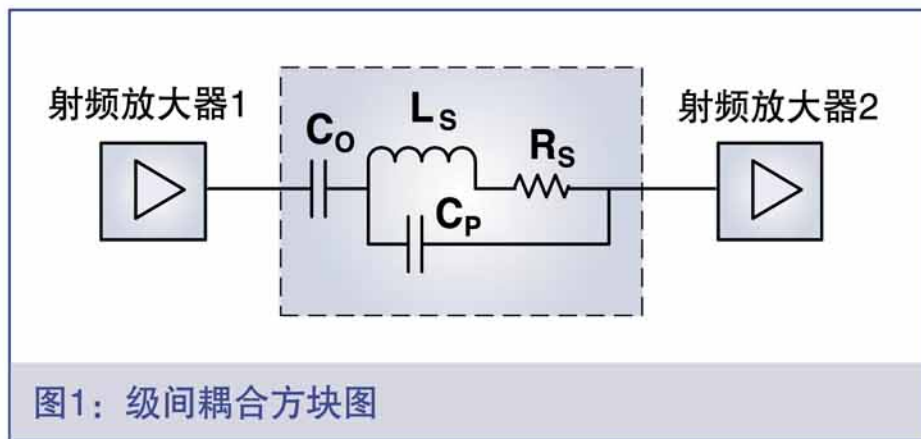


图1：级间耦合方块图

图1画出工作在50欧姆线路中的两个射频放大级，由耦合电容 C_0 连接。表1列出几个无线线路频率下可选用的耦合元件。为了得到最佳耦合，必须考察元件的以下电参数：串联谐振频率(F_{SR})，并联谐振频率(F_{PR})，纯阻抗，插入损耗，等效串联电阻(ESR)和品质因数(Q)值。

注意，图1中画出了耦合电容 C_0 的等效串联电阻(ESR) R_S ，等效串联电感 L_S 和与它的并联谐振频率(F_{PR})有关

电容ATC100A (100pF)的 F_{SR} 是1GHz，ESR是0.072欧姆。在这个频率上，电容提供最低阻抗通道，是理想的耦合元件。可是在并联谐振频率(F_{PR})上，电容阻抗猛然升高，考察一个电容的S21幅值对频率的变化，很容易发现(F_{PR})在工作频段内引起极大损耗。在耦合线路中，工作频率常常比电容的 F_{SR} 稍高，这时只要电容纯阻抗不高，就不影响线路性能。

频率 (MHz)	元件选择	FSR (MHz)	插入损耗 S21(dB)	ESR (欧姆)	元件尺寸
900	100A101 - 100 pF	1000	< 0.1	0.072	55 mil x 55 mil
	600S101 - 100 pF	1340	< 0.1	0.070	0603
1900	100A270 - 27 pF	1870	< 0.1	0.161	55 mil x 55 mil
	600S560 - 56 pF	1890	< 0.1	0.085	0603
2400	100A160 - 16 pF	2410	< 0.1	0.218	55 mil x 55 mil
	600S390 - 39 pF	2340	< 0.1	0.140	0603

表1 耦合电容和有关参数举例

大于十分之几dB的损耗容易恶化线路设计的总性能。所以，某个电容的损耗对所设计线路是否可以承受，最终要由线路设计者来决定。

图3画出ATC100A101(100pF) 电容的插入损耗特性。被测电容接法是串联通过式，测试频段为50MHz到4GHz，电容电极板与线路板平行，也就是电容为水平安装。从图3可见电容插损在200MHz到1.5GHz之间小于0.1dB。如果将电容垂直放置，也就是电容极板垂直于线路板，就能压制位于1.6GHz的并联谐振槽口，电容的可用范围就扩展到大约2.4GHz。所以选择安装取向可以扩大同一个电容的频率范围，使它适用于宽带耦合线路。

等效串联电阻ESR和品质因数Q

ESR是电容内所有串联损耗的总和，通常单位为毫欧姆。ESR损耗有介质损耗(R_{SD})和金属损耗(R_{SM})组成。

$$ESR = R_{SD} + R_{SM}$$

介质损耗(R_{SD})由介质材料特性决定。每种介质材料都有自己的损耗系数，通常叫损耗正切或者耗散系

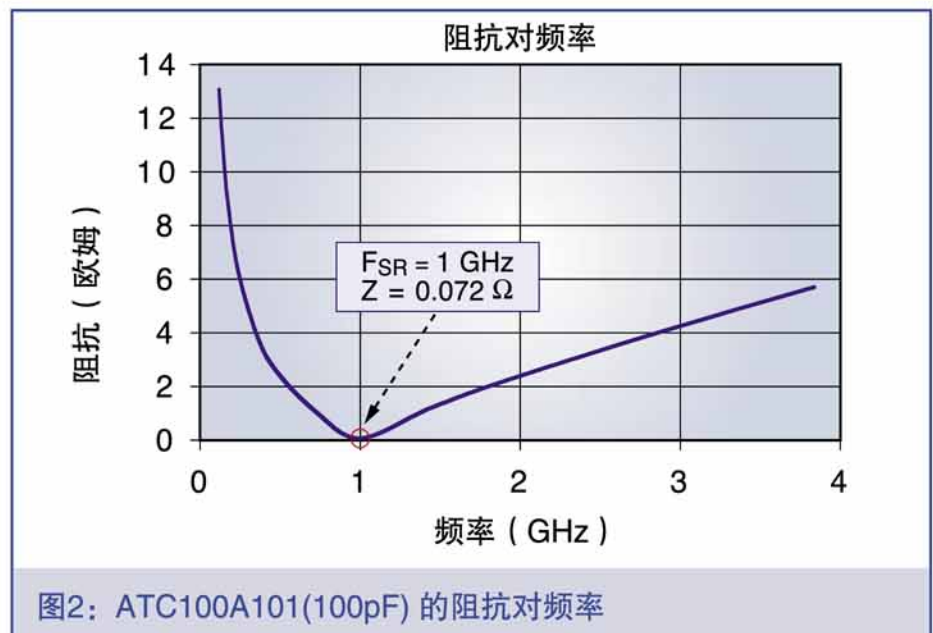


图2: ATC100A101(100pF) 的阻抗对频率

数(DF)。损耗造成介质发热。极端情况下发热导致的损坏能使元件失效。耗散系数(DF)是介质损耗很好的指标，通常在低频即1MHz时测得，因为这一损耗在低频时起主导作用。

金属损耗(R_{SM})由电容结构中所有金属材料的导电性决定。这些金属包括电极板，终端和阻挡层等其他金属。 R_{SM} 也使电容发热。在极端情况下发热造成的损坏能使电容失效。高频下这些损耗包括“趋肤效应”，损耗程度和频率的关系

是 \sqrt{f} 。

产品说明中的ESR对频率曲线通常集中在金属损耗为主的频率范围。在此频率范围内ESR来源以金属为主，介质损耗可忽略。

电容品质因数(Q)的数值等于电容纯电抗($X_C - X_L$)对等效串联电阻的比值。

$$Q = \frac{X_N}{ESR}$$

这里 X_N = 纯电抗 = $|X_L - X_C|$

这个表达式说明电容的Q正比于纯电抗，反比于ESR。设计者需要知道电容在整个通过频带上，特别是频率高于电容 F_{SR} 时的ESR。在“趋肤效应”开始影响欧姆损耗的频率下，ESR随频率增加的关系是 \sqrt{f} 。这时趋肤效应成为损耗主要来源。上面讲到衰减槽口在电容并联谐振频率 F_{PR} 处产生，槽口深度反比于ESR。所以电容的ESR对并联谐振频率处的衰减槽口深度影响很大。

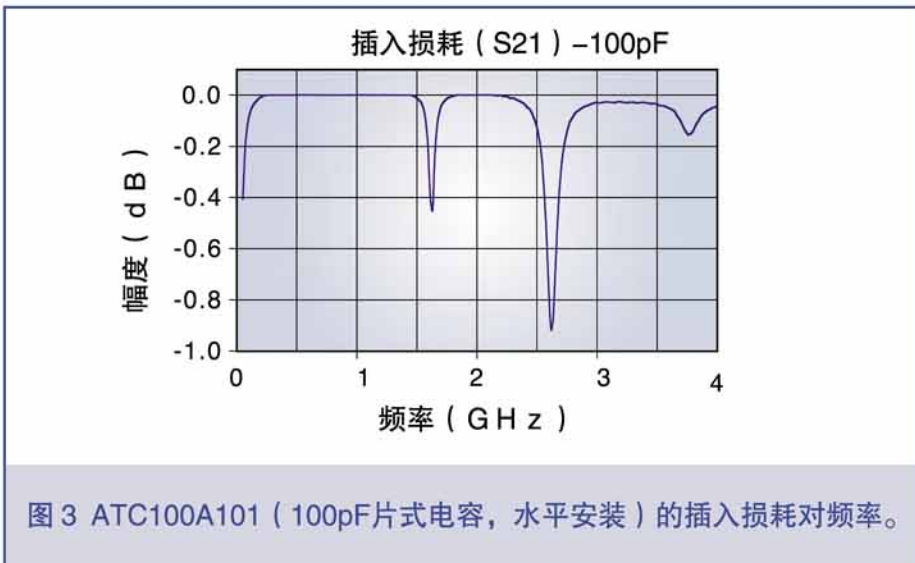


图3 ATC100A101 (100pF片式电容, 水平安装) 的插入损耗对频率。

结论

本文指出了依赖于频率的几种电容特性对耦合电路十分重要。设计耦合线路先要知道电容串并联谐振频率，ESR，和线路工作频段内的阻抗特性。像ATC这类信誉良好的电容供应商，大都提供详细电容技术资料，包括S参数文件和设计软件。这样就给线路设计者提供多种选择，从而满足严格的线路性能要求。

ESR =	Q =	DF =	$X_C =$
$X_N \times DF$	$1/DF$	$1/Q$	$1/2\pi \times F \times C$
X_N/Q	X_N/ESR	ESR/X_N	ESR/DF
$X_N \times \tan \delta$	$1/\tan \delta$	$\tan \delta$	$ESR \times Q$

表2 ESR, Q, DF和 X_C 的关系

关于作者

理查德·费奥瑞有25年射频技术经验。他涉及的专业领域包括为军用电子工业设计和建立自动测试系统，军品和民品滤波器设计，电磁兼容(EMC)设计和测试，射频元件，模块和系统的设计，试制和评估。他从1994年起在美国技术陶瓷公司工作，目前是射频技术部主任，他的地址是1 Norden Lane, Huntington Station, NY11746。他的电子邮件地址是：rfiore@atceramics.com。

ATC产品销售按美国技术陶瓷公司文件(文件号#001-992 Rev. A 10/03)中的销售规定与条件办理。如顾客索要，ATC会提供这些规定与条件。顾客也可到ATC网站阅读这些规定与条件：www.atceramics.com/aboutatc/terms_conditions_sales.htm

ATC 尽最大努力提供尽可能准确的信息。对于读者使用以上信息的后果，和使用以上信息导致影响第三方权利，ATC 不负责任。ATC 保留不事先通知就修改本资料和变更产品的权力。

© 2004 ATC保留所有权

ATC # 001-1003 Rev. A; 4/04



AMERICAN TECHNICAL CERAMICS

ATC North America
631-622-4700
sales@atceramics.com

ATC Europe
+46 8 6800410
sales@atceramics-europe.com

ATC Asia
+86-755-8366-4318
sales@atceramics-asia.com



www.atceramics.com